

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 04 月 02 日
Application Date

申請 案 號：092107472
Application No.

申請 人：南亞科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 5 月 14 日
Issue Date

發文字號：09220483060
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	增加溝槽電容器之電容的方法
	英 文	Method for increasing the capacitance of deep trench capacitors
二、 發明人 (共2人)	姓 名 (中文)	1. 吳昌榮 2. 陳逸男
	姓 名 (英文)	1. Chang-Rong Wu 2. Yi-Nan Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣板橋市民生路一段28-9號26樓 2. 台北市北投區建民路151巷4號
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-9632twE(n1) : 91270 : david.prd

四、中文發明摘要 (發明名稱：增加溝槽電容器之電容的方法)

本發明提供一種增加溝槽電容器之電容的方法，包括下列步驟：提供一基底；於基底表面形成一墊層結構；於墊層結構上形成一光阻圖案，而未被光阻圖案所覆蓋之區域係定義溝槽之區域；以光阻圖案與墊層結構作為蝕刻罩幕，於基底中形成一溝槽；去除光阻圖案；於溝槽下部形成一溝槽電容器；於溝槽電容器上方形成一第一絕緣層；於第一絕緣層上方形成一磊晶層襯墊於溝槽側壁上，以縮小溝槽之開口微距；以及去除未被磊晶層所覆蓋之第一絕緣層。

伍、(一)、本案代表圖為：第2F圖。

(二)、本案代表圖之元件代表符號簡單說明：

100～基底；

102～墊層結構；

104～墊氧化層；

六、英文發明摘要 (發明名稱：Method for increasing the capacitance of deep trench capacitors)

A method for increasing the capacitance of deep trench capacitors. The method includes providing a substrate; forming a pad structure on the substrate; forming a photoresist defining the region of the deep trench on the pad structure; forming a deep trench in the substrate; removing the photoresist; forming a capacitor in the lower portion of the deep trench; forming a first



四、中文發明摘要 (發明名稱：增加溝槽電容器之電容的方法)

106 ~ 墊氮化矽層；
110 ~ 溝槽；
130 ~ 埋入式電極板；
132 ~ 電容器介電層；
134 ~ 第一導電層；
136 ~ 溝槽電容器；
140 ~ 第二絕緣層；
142 ~ 磊晶層；
200 ~ 較大的開口微距；
200' ~ 此記憶體裝置所需之溝槽開口微距。

六、英文發明摘要 (發明名稱：Method for increasing the capacitance of deep trench capacitors)

isolation layer on the capacitor; forming an epitaxy layer on the sidewall of the deep trench above the first isolation layer as a liner to narrow the critical dimension of the deep trench; and removing the first isolation layer not covered by the epitaxy layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

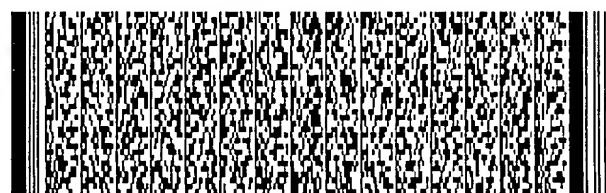
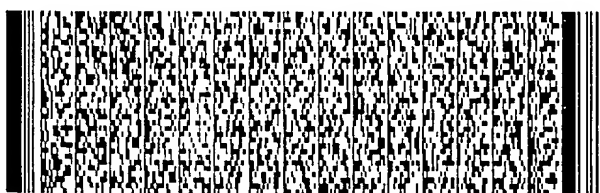
本發明係有關於製造半導體積體電路之溝槽電容器的方法，特別是有關於一種增加溝槽電容器之電容的方法。

【先前技術】

一般而言，目前廣泛使用之動態隨機存取記憶體 (Dynamic Random Access Memory; DRAM) 中的電容器係由兩導電層表面 (即電極板) 隔著一絕緣物質而構成，該電容器儲存電荷之能力係由絕緣物質之厚度、電極板之表面積及絕緣物質的電氣性質所決定。隨著近年來半導體製程設計皆朝著縮小半導體元件尺寸以提高元件密度之方向發展，記憶體中記憶胞的基底面積必須不斷減少使積體電路能容納大量記憶胞而提高密度，但同時，記憶胞電容之電極板部分必須有足夠之表面積以儲存充足的電荷。

然而在尺寸持續地細微化的情況下，動態隨機存取記憶體中的溝槽儲存結點電容 (trench storage node capacitance) 亦隨著縮小，因此必須設法增加儲存電容以維持記憶體良好的操作性能。

因此，有需要發展增加儲存電容的方法，例如蝕刻半導體基底以擴大溝槽底部以提高表面積而形成一瓶形溝槽電容器 (bottle shaped trench capacitor)，此方法目前已廣泛使用於增加 DRAM 之儲存電容。以下就習知的瓶形溝槽的製造方法說明如後。首先，請參閱第 1A 圖，先於一矽基底 10 上形成一墊層 (pad layer) 12 圖案，然後以該墊層



五、發明說明 (2)

12 圖案為蝕刻罩幕，利用乾蝕刻方式而於該矽基底10中形成一溝槽14，該溝槽14具有一上部周圍部16與一下部周圍部18，且其開口微距為13'。

然後，請參閱第1B圖，例如先沉積一光阻層(未圖示)於部分該溝槽14內而覆蓋住該溝槽14之下部周圍部18。之後，沉積一複晶矽犧牲層20於該溝槽14上部周圍部16上，並可延伸至該墊層12上。然後再除去該光阻層(未圖示)，以及非等向性去除位於該墊層12上方的複晶矽犧牲層20。如此，即形成複晶矽犧牲層20於溝槽14之上部周圍部16上。

接著，進行一濕蝕刻製程(亦稱wet bottle蝕刻製程)，以氨水或稀釋氫氟酸溶液(dilute HF solution)等向性蝕刻未被複晶矽犧牲層20保護的溝槽14下側之矽基底10，而形成類似瓶狀的溝槽14之下部周圍部22，其微距13大於其上部16之開口微距13'，如第1C圖所示。

然而上述製程在製作瓶形溝槽時，不易控制溝槽下部之形狀，造成製程之不穩定性，增加製程的困難度。

【發明內容】

有鑑於此，本發明的主要目的係提供一種增加溝槽電容器之電容的方法，適用於動態隨機存取記憶體的电容器，能夠有效地擴大溝槽底部而增加DRAM的儲存電容。

本發明之主要特徵，係先形成較大開口微距的溝槽來形成溝槽電容器，因而增大電容器電極板的表面積，然後



五、發明說明 (3)

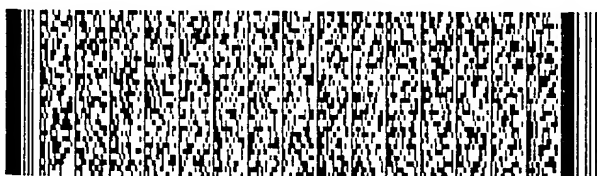
再藉由在電容器上方之溝槽側壁上形成磊晶層而使溝槽之開口微距縮小，而得到此記憶體裝置所需之溝槽微距。且此磊晶結構與基底之結構相同，不會影響記憶體裝置之電性。而本發明之方法所形成的溝槽亦是瓶形溝槽，但是在形成溝槽時比習知方法更易控制溝槽下部之形狀，進而增加製程之穩定性。

本發明提供一種增加溝槽電容器之電容的方法，包括下列步驟：提供一基底；於該基底表面形成一墊層結構；於該墊層結構上形成一光阻圖案，而未被該光阻圖案所覆蓋之區域係定義該溝槽之區域；以該光阻圖案與該墊層結構作為蝕刻罩幕，於該基底中形成一溝槽；去除該光阻圖案；於該溝槽下部形成一溝槽電容器；於該溝槽電容器上方形成一第一絕緣層；於該第一絕緣層上方形成一磊晶層襯墊於該溝槽側壁上，以縮小該溝槽之開口微距；以及去除未被該磊晶層所覆蓋之該第一絕緣層。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

首先，請參照第2A圖，提供一基底100，例如是P型矽基底、N型矽基底或磊晶矽基底，於基底100表面形成一墊層結構102，此墊層結構102例如是由墊氧化層104和墊氮化矽層106所構成。其形成方法例如是以熱氧化法

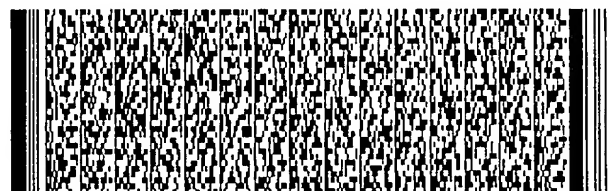
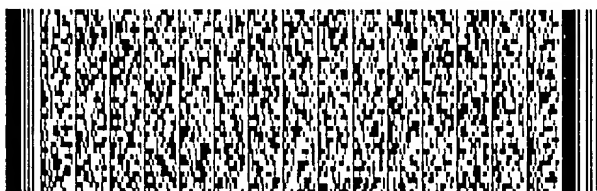


五、發明說明 (4)

(thermal oxidation) 形成厚度大約為100埃的墊氧化層104，其次利用化學氣相沉積法(CVD)形成一氮化矽層106於墊氧化層104上。然後，利用微影製程形成一光阻圖案108於氮化矽層106上，而未被光阻圖案108所覆蓋之區域係定義溝槽110之區域，且此溝槽區域之開口微距200比實際上此記憶體裝置所需之溝槽微距200'來的大。且其寬度比溝槽微距200'之寬度大了100至200埃之間。

接著請參照第2B圖，以光阻圖案108作為罩幕，蝕刻去除未被光阻圖案108覆蓋之墊層結構102。然後，以光阻圖案108和墊層結構102作為蝕刻罩幕，蝕刻去除未被墊層結構102覆蓋之基底100，而蝕刻出一溝槽110。

接下來於溝槽110的下部形成溝槽電容器136，其結構包括：埋入式電極板(BP)130、順應性的電容器介電層132與用來作為電極板的第一導電層134。溝槽電容器136的形成方法可用習知之方法實施之，如下所述，請參照第2C圖，先將光阻圖案108去除，之後在溝槽110的表面形成一層例如為N型之摻雜的第一介電層120，其材質例如是砷矽玻璃(arsenic silicate glass，簡稱ASG)，接著於溝槽110中填入一預定深度之光阻材質(未圖示)，再藉由濕蝕刻移除未為光阻材質覆蓋之摻雜的第一介電層120，之後將光阻材質移除，再順應性沉積一第一絕緣層122，其材質例如是四乙氧基矽酸鹽(TEOS)，以防止摻雜離子在後續之熱製程中擴散至未被摻雜的第一介電層120所覆蓋之溝槽110側壁周圍之基底100中，之後經由熱製程將摻雜的第

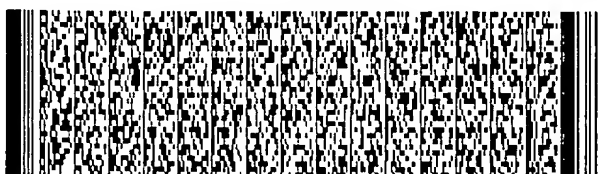


五、發明說明 (5)

一介電層120中之摻雜離子趨入基底100中，而形成例如為N型之摻雜區，以做為埋入式電極板130。

接著請參照第2D圖，移除第一絕緣層122與摻雜的第一介電層120，之後順應性沉積電容器介電層132和沉積用來作為電極板的第一導電層134以填滿溝槽110。電容器介電層132的材質例如是氧化矽-氮化矽(oxide-nitride，簡稱ON)的疊層結構、或是氧化矽-氮化矽-氧化矽(oxide-nitride-oxide，簡稱ONO)的疊層結構，第一導電層134的材質例如是摻雜的複晶矽或摻雜的非晶矽，接著利用化學機械研磨(CMP)法研磨第一導電層134使其平坦化，然後進行回蝕刻製程移除溝槽110上部與墊層結構102上方的第一導電層134與電容器介電層132以於溝槽110下部形成電容器介電層132與電極板。至此，即完成了溝槽電容器136之製程。

接著如第2E圖所示，順應性沉積第二絕緣層140，其材質例如是高密度電漿式氧化矽(HDP oxide)，然後進行一回蝕刻製程，例如是濕蝕刻製程，使第二絕緣層140形成於溝槽電容器136之上方。第二絕緣層140之功能有二，一是作為溝槽電容器136與後續的磊晶層142之間的絕緣阻隔，另一是沉積磊晶層142於第二絕緣層140上而不直接沉積於電容器136上方，可使後續之非等向性回蝕刻製程之蝕刻選擇比提高而不易殘留磊晶層142於電容器136上方。然後在疊層結構102上方、第二絕緣層140上方以及溝槽110側壁上沉積磊晶層142，其材質例如是P型的磊晶矽，



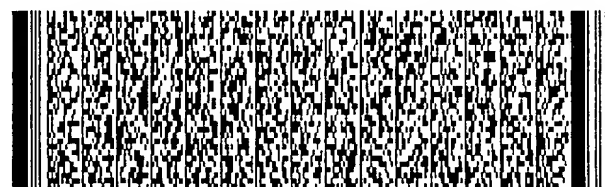
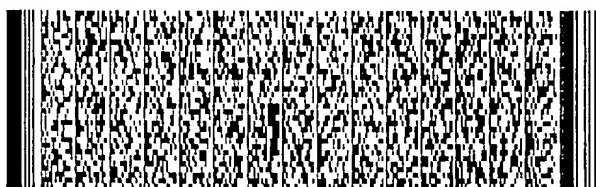
五、發明說明 (6)

或N型的磊晶矽，其厚度在100至200埃之間。接著進行一等向性回蝕刻製程以去除疊層結構102上方與第二絕緣層140上方之磊晶層142，以使磊晶層142襯墊於溝槽110側壁上。由於在電容器136上方之溝槽110側壁上形成磊晶層142，溝槽110之開口微距因而由200縮小至200'，此縮小之開口微距200'係此記憶體裝置實際所需之溝槽微距。

最後，如第2F圖所示，再進行一蝕刻製程，例如是濕蝕刻製程，將未被磊晶層142所覆蓋之第二絕緣層140去除。

習知之增加溝槽電容器之電容的方法係先定義溝槽之微距13'後，再利用濕蝕刻法來增大溝槽之下部微距13而增加電容器表面積，而根據本發明之方法，係先形成較大的開口微距200的溝槽110來形成溝槽電容器136，因而增大埋入式電極板130與電極板134的表面積，然後再藉由在電容器136上方之溝槽110側壁上形成磊晶層142而使溝槽110之開口微距200'縮小，而得到此記憶體裝置實際所需之溝槽微距200'。而本發明之方法與習知技術相比較之下，本發明的方法所形成的溝槽亦是瓶形溝槽，且此磊晶結構與基底之結構相同，不會影響記憶體裝置之電性，而且在形成溝槽時比習知方法更易控制溝槽下部之形狀，進而增加製程之穩定性。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護



五、發明說明 (7)

範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A至1C圖係顯示傳統形成瓶形溝槽之方法的製程剖面圖。

第2A至2F圖係根據本發明實施例之增加溝槽電容器之電容之方法的製程剖面圖。

符號說明：

習知部分：

- 10 ~ 矽基底；
- 12 ~ 墊層；
- 13 ~ 瓶狀的溝槽下部周圍部微距；
- 13' ~ 溝槽開口微距；
- 14 ~ 溝槽；
- 16 ~ 溝槽上部周圍部；
- 18 ~ 溝槽下部周圍部；
- 20 ~ 複晶矽犧牲層；
- 22 ~ 瓶狀的溝槽之下部周圍部。

本發明部分：

- 100 ~ 基底；
- 102 ~ 墊層結構；
- 104 ~ 墊氧化層；
- 106 ~ 墊氮化矽層；
- 108 ~ 光阻圖案；
- 110 ~ 溝槽；
- 120 ~ 第一介電層；



圖式簡單說明

- 122 ~ 第一絕緣層；
- 130 ~ 埋入式電極板；
- 132 ~ 電容器介電層；
- 134 ~ 第一導電層；
- 136 ~ 溝槽電容器；
- 140 ~ 第二絕緣層；
- 142 ~ 磊晶層；
- 200 ~ 較大的開口微距；
- 200' ~ 此記憶體裝置實際所需之溝槽開口微距。



六、申請專利範圍

1. 一種增加溝槽電容器之電容的方法，包括：

提供一基底；

於該基底表面形成一墊層結構；

於該墊層結構上形成一光阻圖案，而未被該光阻圖案所覆蓋之區域係定義該溝槽之區域；

以該光阻圖案與該墊層結構作為蝕刻罩幕，於該基底中形成一溝槽；

去除該光阻圖案；

於該溝槽下部形成一溝槽電容器；

於該溝槽電容器上方形成一第一絕緣層；

於該第一絕緣層上方形成一磊晶層襯墊於該溝槽側壁上，以縮小該溝槽之開口微距；以及

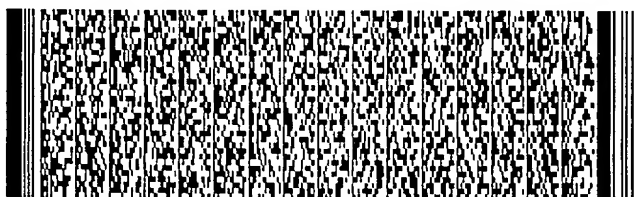
去除未被該磊晶層所覆蓋之該第一絕緣層。

2. 如申請專利範圍第1項所述之增加溝槽電容器之電容的方法，其中該基底係一P型矽基底、N型矽基底或無摻雜之磊晶矽基底。

3. 如申請專利範圍第1項所述之增加溝槽電容器之電容的方法，其中該第一絕緣層之材質係由高密度電漿式氧化矽所組成。

4. 如申請專利範圍第1項所述之增加溝槽電容器之電容的方法，其中該磊晶層之材質係由P型磊晶矽、N型磊晶矽或無摻雜的磊晶矽所組成。

5. 如申請專利範圍第1項所述之增加溝槽電容器之電容的方法，其中該磊晶層之厚度在100至200埃之間。



六、申請專利範圍

6. 如申請專利範圍第1項所述之增加溝槽電容器之電容的方法，其中去除未被該磊晶層所覆蓋之該第一絕緣層之方法係使用濕蝕刻法。

7. 一種增加溝槽電容器之電容的方法，包括：

提供一基底；

於該基底表面形成一墊層結構，其結構包括一墊氧化層與一墊氮化矽層；

於該墊層結構上形成一光阻圖案，而未被該光阻圖案所覆蓋之區域係定義該溝槽之區域，且該區域之開口微距大於一預定之溝槽微距；

以該光阻圖案作為罩幕，蝕刻去除未被該光阻圖案覆蓋之該墊層結構；

以該光阻圖案和該墊層結構作為罩幕，蝕刻去除未被該墊層結構覆蓋之該基底而形成一溝槽；

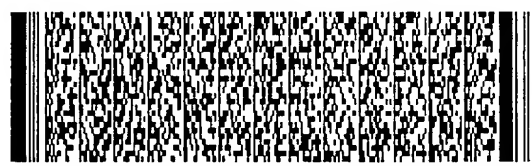
去除該光阻圖案；

於該溝槽下部形成一溝槽電容器，其結構包括一埋入式電極板、一電容器介電層與一第一導電層，其中該第一導電層係作為該溝槽電容器之另一電極板；

於該溝槽電容器上方、該溝槽側壁上以及該墊層結構上方沉積一第一絕緣層；

回蝕刻該第一絕緣層以去除該溝槽側壁上以及該墊層結構上方之該第一絕緣層而使該第一絕緣層位於該溝槽電容器上方；

於該墊層結構上方、該第一絕緣層上方以及該溝槽側



六、申請專利範圍

壁上沉積一磊晶層；

回蝕刻該磊晶層以去除該墊層結構上方與該第一絕緣層上方之該磊晶層，以使該磊晶層襯墊於該溝槽側壁上，以縮小該溝槽之開口微距；以及

去除未被該磊晶層所覆蓋之該第一絕緣層。

8. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中該基底係一P型矽基底、N型矽基底或無摻雜之磊晶矽基底。

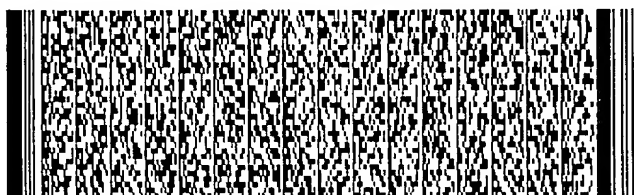
9. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中構成該墊層結構之該墊氧化層係由熱氧化法所形成。

10. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中構成該墊層結構之該墊氮化矽層係由化學氣相沉積法所形成。

11. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中構成該溝槽電容器之該埋入式電極板係一N型之摻雜區。

12. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中構成該溝槽電容器之該電容器介電層之材質係由氧化矽-氮化矽之疊層結構、或是氧化矽-氮化矽-氧化矽之疊層結構所組成。

13. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中構成該溝槽電容器之該第一導電層之材質係由摻雜的複晶矽或摻雜的非晶矽所組成。



六、申請專利範圍

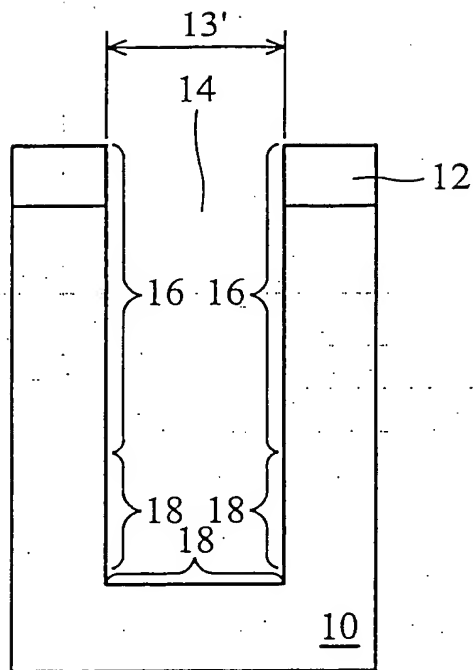
14. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中該第一絕緣層之材質係由高密度電漿式氧化矽所組成。

15. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中該磊晶層之材質係由P型磊晶矽、N型磊晶矽或無摻雜的磊晶矽所組成。

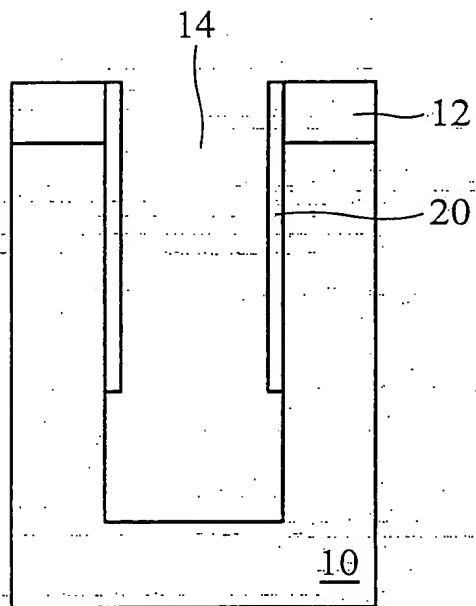
16. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中該磊晶層之厚度在100至200埃之間。

17. 如申請專利範圍第7項所述之增加溝槽電容器之電容的方法，其中去除未被該磊晶層所覆蓋之該第一絕緣層之方法係使用濕蝕刻法。

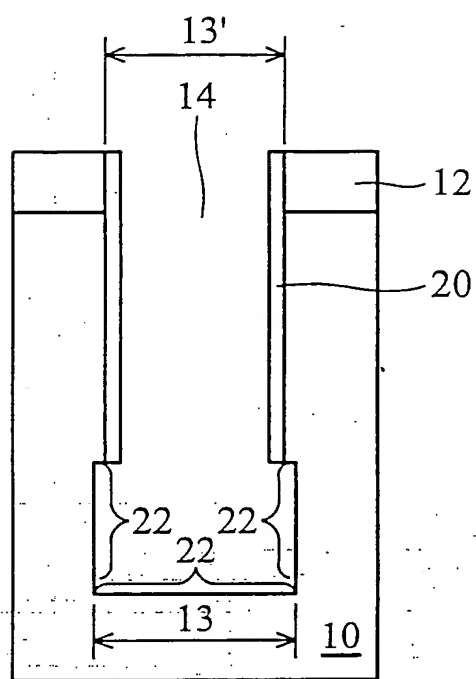




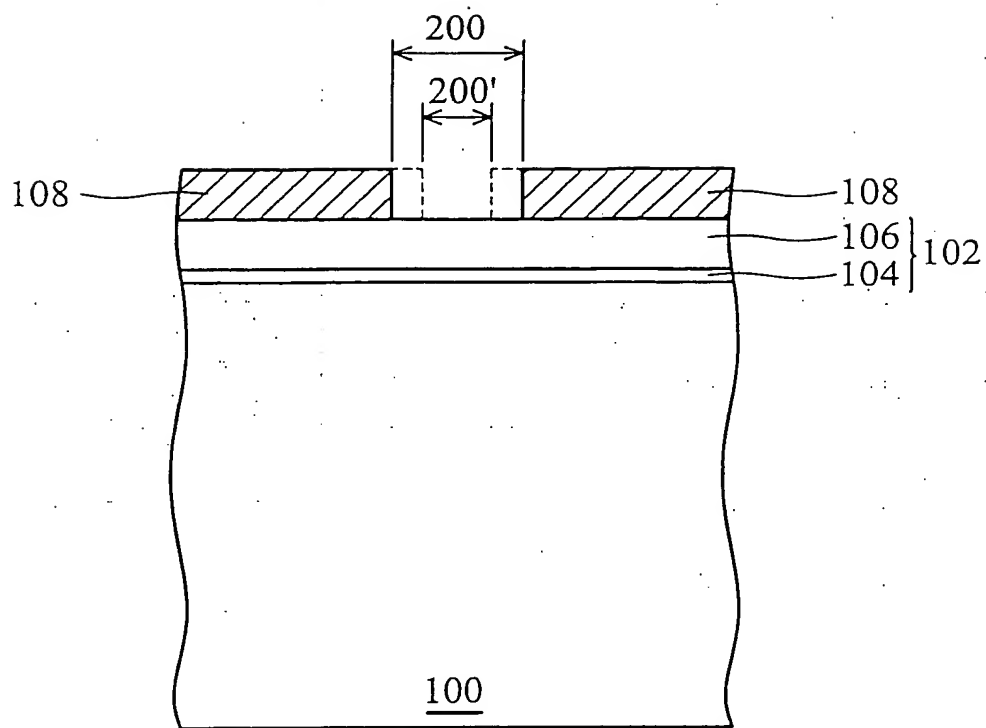
第 1A 圖



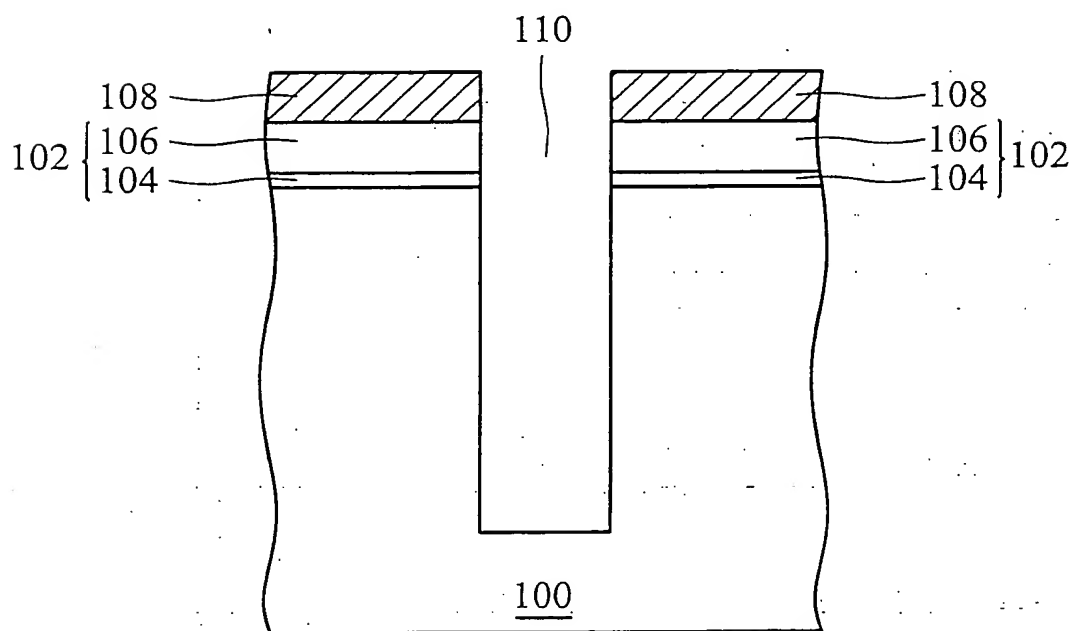
第 1B 圖



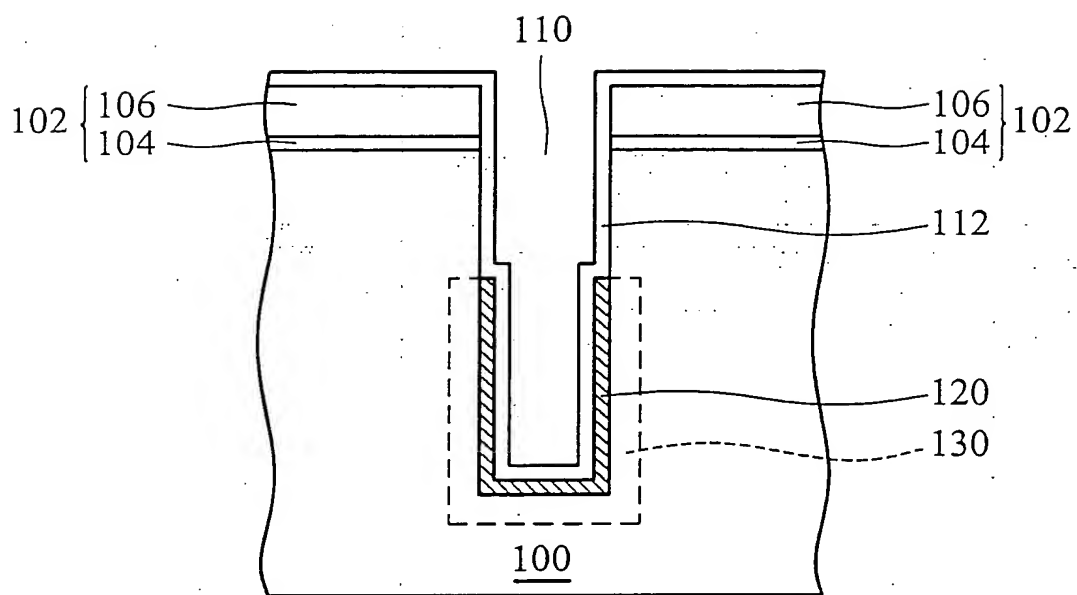
第 1C 圖



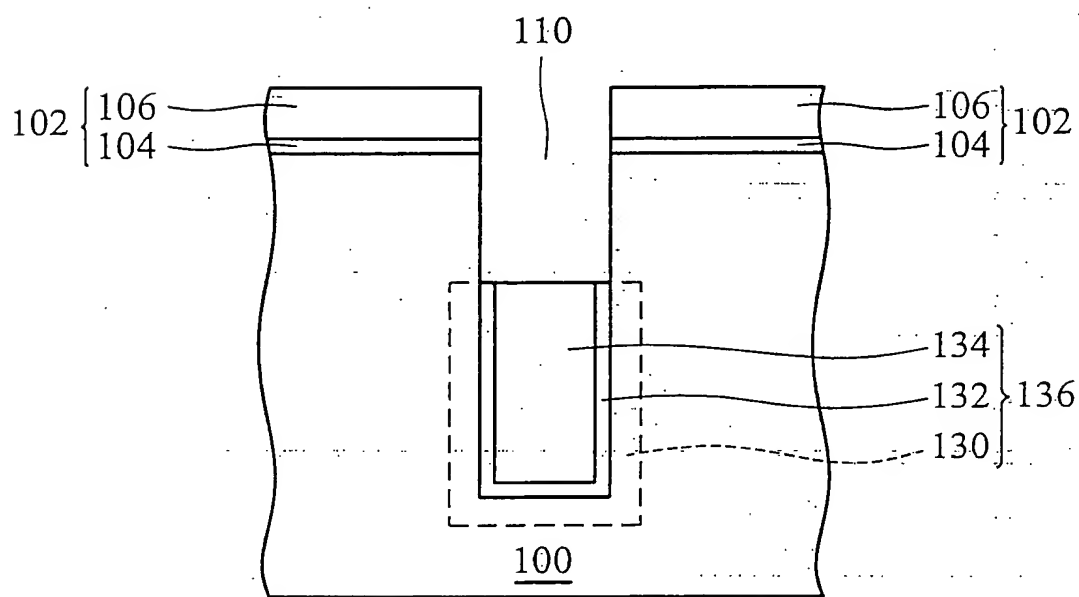
第2A圖



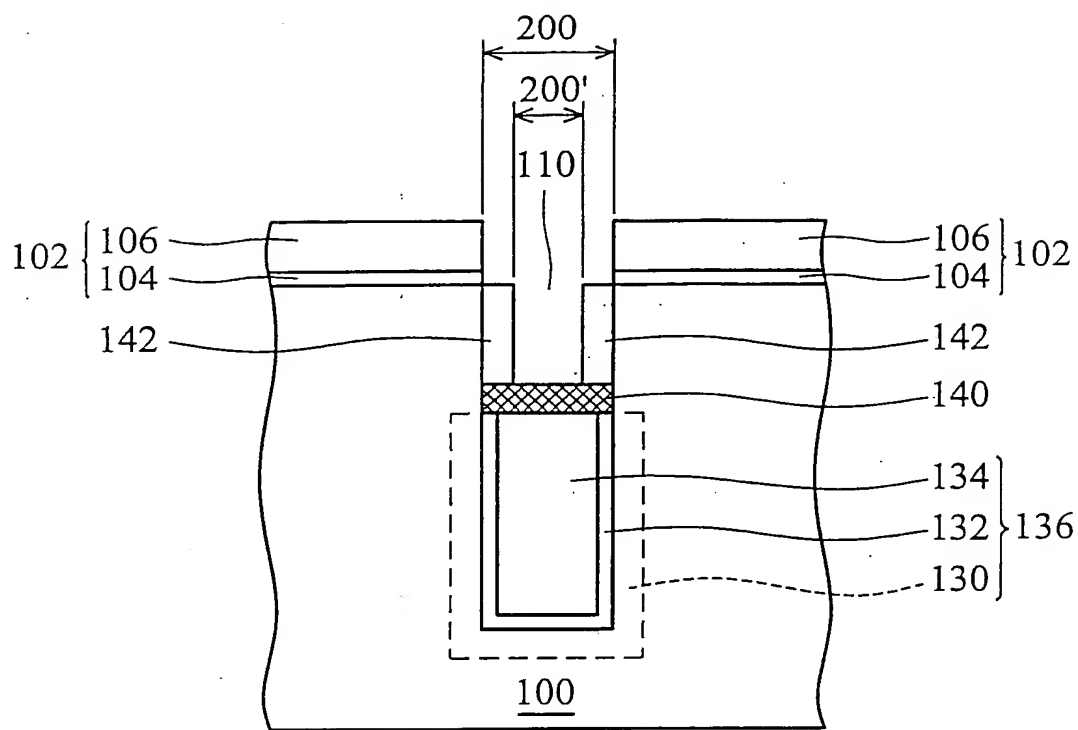
第2B圖



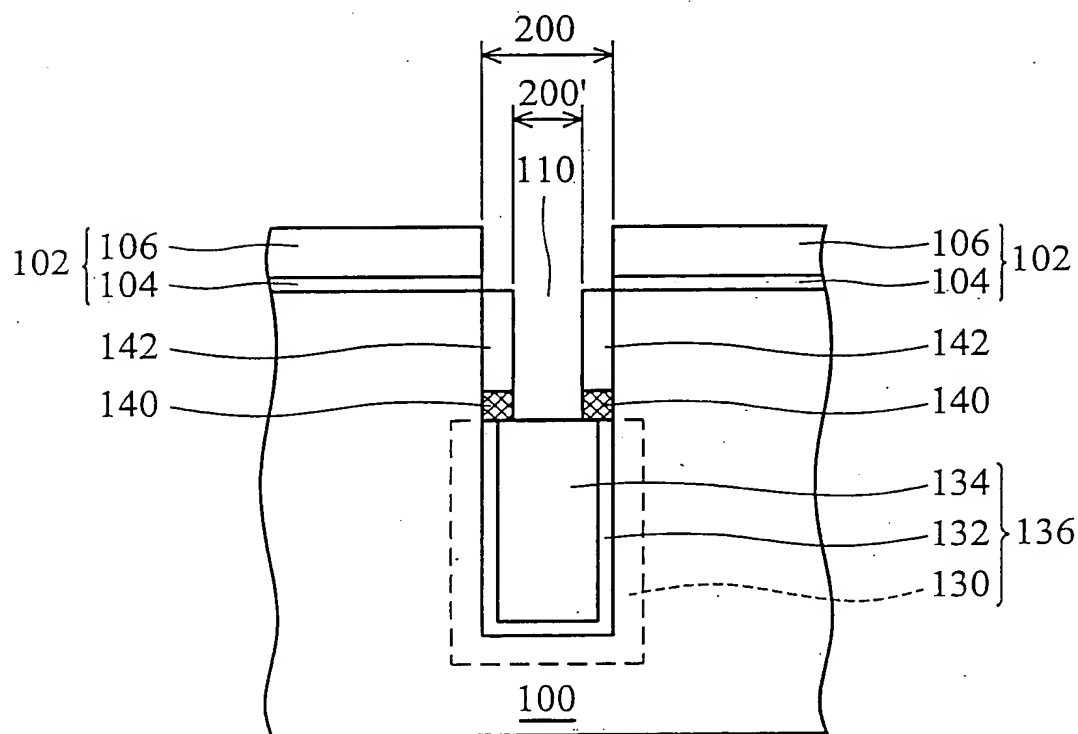
第2C圖



第2D圖

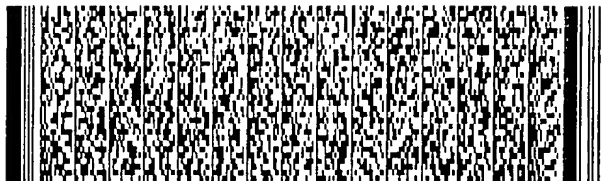


第 2E 圖



第 2F 圖

第 10/17 頁



第 11/17 頁



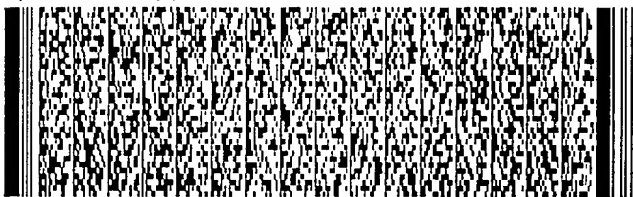
第 12/17 頁



第 13/17 頁



第 14/17 頁



第 15/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

